

MENU **SEARCH** **INDEX** **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-168694

(43)Date of publication of application : 16.06.1992

(51)Int.Cl.

G11C 11/417

(21)Application number : 02-296364

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.10.1990

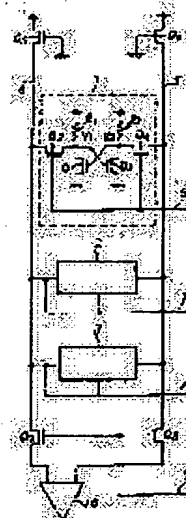
(72)Inventor : KOKUBO NOBUYUKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To lower the lower limit of the power-supply voltage operations of the title storage device so as to enlarge the operational margin of the device by using P-channel transistors as the access gate transistors and bit-line load transistors for memory cells.

CONSTITUTION: Bit-line load transistors Q5 and Q6 and access gate transistors Q3 and Q4 are respectively constituted of P-channel transistors and inverter transistors Q1 and Q2 are respectively constituted of N-channel transistors. As a result, a bistable state can be maintained and data reading out and writing become possible even when the power supply voltage drops to 3V. Therefore, a semiconductor storage device which can have a sufficient operational margin even when the power supply voltage drops to 3V can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-168694

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月16日

G 11 C 11/417

7323-5L

G 11 C 11/34

3 0 5

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平2-296364

⑰ 出 願 平2(1990)10月31日

⑱ 発 明 者 小 久 保 信 幸 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体基板上に作製された記憶装置の記憶の最少単位1ビットを6つの素子で構成し、ビット線負荷トランジスタおよびアクセスゲートトランジスタをPチャネルトランジスタ、インバータトランジスタをnチャネル型トランジスタとしたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置、特に随時読み出し書き込み可能なデータをリフレッシュする必要のない記憶装置スタティックRAMの電源電圧動作マージンに関するものである。

(従来の技術)

第3図は従来の半導体記憶装置のメモリセルとその周辺回路を示す回路図で、図において、(1)～(3)はメモリセル、(4)(5)はビット線、(6)～(8)はワ

ード線、(9)はカラムデコード信号、(10)はセンス回路、 Q_1 、 Q_2 はインバータトランジスタ、 Q_3 、 Q_4 はアクセスゲートトランジスタ、 Q_5 、 Q_6 はビット線負荷トランジスタ、 Q_7 、 Q_8 はカラムデコードスイッチトランジスタ、 R_1 、 R_2 は抵抗素子である。

従来の半導体記憶装置では、第3図におけるメモリセル(1)のようにメモリセルを6素子で構成しており、nチャネルトランジスタ2素子で双安定素子を形成し、その負荷素子として抵抗素子やトランジスタを使用し、メモリセルとビット線とをつなぐアクセスゲートをnチャネルトランジスタで構成していた。

従来の半導体記憶装置のメモリセルの動作を第3図を用いて説明する。ワード線1(6)を V_{cc} ワード線2(7)、ワード線3(8)、カラムデコード信号(9)を0Vとした時、インバータトランジスタ Q_1 のドレイン電圧 V_1 (インバータトランジスタ Q_3 のゲート電圧)に対するインバータトランジスタ Q_2 のドレイン電圧 V_2 の特性は第4図の(9)線の

ようになる。逆に V_2 に対する V_1 の特性は (b) 線のようにになる。従って、メモリセルは 3 つの交点を持ち双安定状態を形成し、データを記憶することが可能になる。ここで、(a) 線において、 $V_1 = 0V$ の時 $V_2 = V_{cc} - V_{th}$ であり、(b) 線において、 $V_2 = 0V$ の時 $V_1 = V_{cc} - V_{th}$ である。これはビット線負荷トランジスタ Q_3, Q_4 、アクセスゲートトランジスタ Q_1, Q_2 が n チャネル型トランジスタで形成されているため、n チャネルトランジスタの V_{th} (サブスレッショルド電圧) だけ低下してしまうのである。

(発明が解決しようとする課題)

従来の半導体記憶装置のメモリセルは以上のように構成されていたので、電源電圧を 3V 以下にすると第 4 図に示した、メモリセルの特性が第 5 図のように変化し、3 つの交点を持たないようになり双安定状態を保てなくなり、電源電圧が 3V 以下ではメモリセルにデータを書き込んだりメモリセルからデータを読み出したりすることが不可能になってくるという問題点があった。

(実施例)

以下、この発明の一実施例を図について説明する。第 1 図において、(1)～(3) はメモリセル、(4) (5) はビット線、(6)～(8) はワード線、(9) はカラムデコード信号、(10) はセンス回路、 Q_1, Q_2 はインバートトランジスタ、 Q_3, Q_4 はアクセスゲートトランジスタ、 Q_5, Q_6 はビット線負荷トランジスタ、 Q_7, Q_8 はカラムデコードスイッチトランジスタ、 R_1, R_2 は抵抗素子である。

即ち、前記従来のものにおける改良点はアクセスゲートトランジスタ Q_3, Q_4 とビット線負荷トランジスタ Q_5, Q_6 を P チャネル型トランジスタを使用した点である。

次に第 1 図を用いて動作について説明する。前記従来のものと異なり、アクセスゲートトランジスタ Q_3, Q_4 を P チャネルトランジスタで構成したので、ワード線選択の方式は 0V のワード線が選択状態で、 V_{cc} のレベルのワード線が非選択である。

第 1 図においてワード線 1 (6) を 0V、ワード線

この発明は上記のような問題点を解消するためになされたもので、電源電圧が 3V 以下でも十分な動作マージンを持った半導体記憶装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体記憶装置は、ビット線負荷トランジスタ Q_5, Q_6 とアクセスゲートトランジスタ Q_3, Q_4 を P チャネル型トランジスタ、インバートトランジスタ Q_1, Q_2 を n チャネル型トランジスタで構成したものである。

(作用)

この発明における半導体記憶装置は、ビット線負荷トランジスタとアクセスゲートトランジスタを P チャネル型トランジスタ、インバートトランジスタを n チャネル型トランジスタとしたので、第 4 図 a 線の $V_1 = 0V$ の時の V_2 の電圧が V_{cc} に、(b) 線の $V_2 = 0V$ の時の V_1 の電圧が V_{cc} になり、電源電圧を 3V 以下の低電圧にしても双安定状態を保つことが可能となり、データを読み出したり書き込んだりすることが可能になる。

2 (7)、ワード線 3 (8) を V_{cc} 、カラムデコード信号 (9) を 0V とした時、インバートトランジスタ Q_1 のドレイン電圧 V_1 (Q_2 のゲート電圧) に対するインバートトランジスタ Q_3 のドレイン電圧 V_2 の特性は第 2 図の (c) 線のようにになる。逆に V_2 に対する V_1 の特性は (d) 線のようにになる。したがって、メモリセルは 3 つの交点を持ち双安定状態を形成し、データを記憶することが可能になる。また従来の半導体記憶装置と異なり $V_1 = 0V$ の時、 $V_2 = V_{cc}$ であり、 $V_2 = 0V$ の時、 $V_1 = V_{cc}$ であるため、電源電圧を 3V 以下にした時も 3 つの交点を持つことが可能になり、双安定状態を形成することができるようになる。

(発明の効果)

以上のようにこの発明によれば、メモリセルのアクセスゲートトランジスタ及びビット線負荷トランジスタを P チャネル型トランジスタを用いたので、半導体記憶装置の電源電圧動作下限が 3V 以下に下がり、大きな動作マージンを得られるという効果がある。

4. 図面の簡単な説明

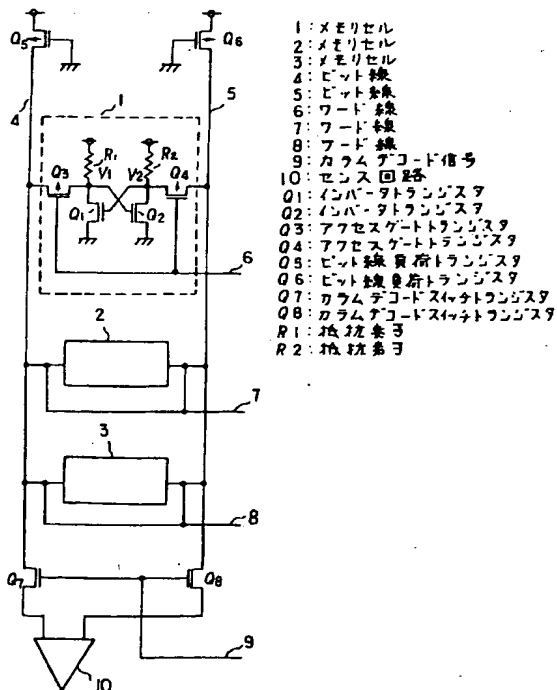
第1図はこの発明の一実施例である半導体記憶装置のメモリセル及びその周辺回路の回路図、第2図は第1図のメモリセルの動作状態での記憶ノード V_1 、 V_2 の電圧特性を示す曲線図、第3図は従来の半導体記憶装置のメモリセル及びその周辺回路の回路図、第4図は第3図のメモリセルの動作状態での記憶ノード V_1 、 V_2 の電圧特性を示す曲線図、第5図は第3図のメモリセルの動作状態での記憶ノード V_1 、 V_2 の電圧特性の不一致状態を示す曲線図である。

図において、(1)はメモリセル1、(2)はメモリセル2、(3)はメモリセル3、(4)はビット線、(5)はビット線、(6)はワード線1、(7)はワード線(2)、(8)はワード線3、(9)はカラムデコード信号、(10)はセンス回路を示す。また、 Q_1 、 Q_2 はインバータトランジスタ、 Q_3 、 Q_4 はアクセスゲートトランジスタ、 Q_5 、 Q_6 はビット線負荷トランジスタ、 Q_7 、 Q_8 はカラムデコードスイッチトランジスタ、 R_1 、 R_2 は抵抗素子を示す。

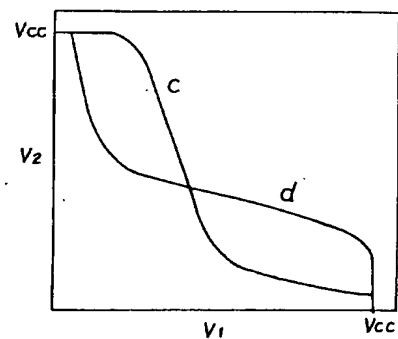
なお、各図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

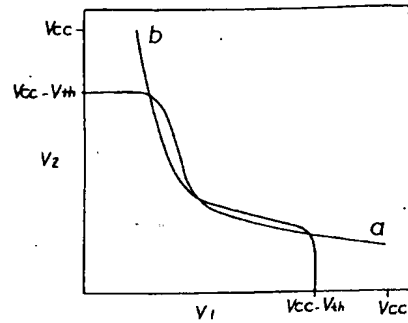
第1図



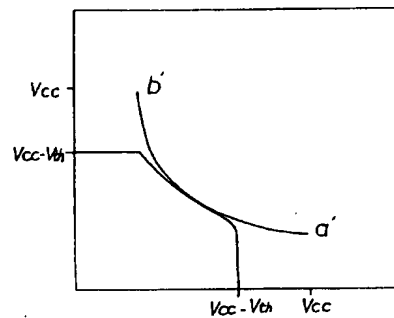
第2図



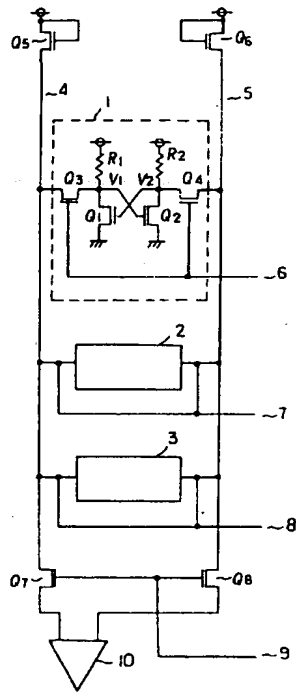
第 4 図



第 5 図



第 3 図



手 続 補 正 書 (自発)

平成 3 年 6 月 14 日

特許庁長官殿

1. 事件の表示

平 特願昭 8-296804号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先 03(3213)3421特許部) 12 手続補正
(連絡先 03(3213)3421特許部) 20 手続補正

5. 補正の対象

明細書の発明の詳細な説明の欄、及び図面。

6. 補正の内容

- (1) 明細書第 8 頁第 8 行の
「 $V_2 = V_{cc} - V_{th}$ であり、」を
「 $V_2 = V_{cc} - V_{th}$ であり、」と訂正する。
- (2) 明細書第 8 頁第 8 行の
「 $V_1 = V_{cc} - V_{th}$ である。」を
「 $V_1 = V_{cc} - V_{th}$ である。」と訂正する。
- (3) 明細書第 8 頁第 10 行の
「 V_{th} 」を「 V_{th} 」と訂正する。
- (4) 明細書第 8 頁第 10 行の
「 $V_2 = 0V$ の時、」を「 $V_2 = 0V$ の時、」
と訂正する。

(5) 図面中第 1 図を別紙のとおり訂正する。

(6) 図面中第 3 図を別紙のとおり訂正する。

7. 添付書類の目録

- (1) 訂正図面 (第 1 図、第 3 図)

1 通

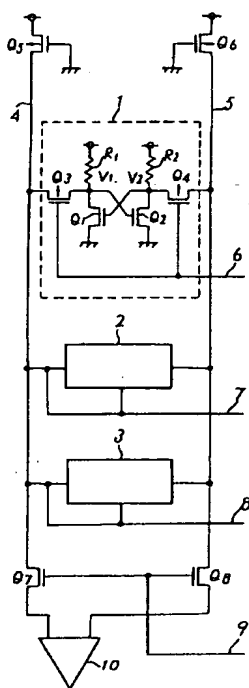
以上

方 式 査

西 澤

特許庁
19.6.17
受付

第1図



- 1: メモリセル
- 2: メモリセル
- 3: メモリセル
- 4: ビット線
- 5: ビット線
- 6: ワード線
- 7: ワード線
- 8: ワード線
- 9: カラムデコード信号
- 10: センス回路
- Q1: インバータトランジスタ
- Q2: インバータトランジスタ
- Q3: アクセサゲートトランジスタ
- Q4: アクセサゲートトランジスタ
- Q5: ビット線負荷トランジスタ
- Q6: ビット線負荷トランジスタ
- Q7: カラムデコードスイッチトランジスタ
- Q8: カラムデコードスイッチトランジスタ
- R1: 抵抗素子
- R2: 抵抗素子

第3図

